

⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
⑫ 公開特許公報(A) 平2-54500

⑬ Int. Cl.<sup>9</sup>  
G 11 C 29/00  
17/00

識別記号 庁内整理番号  
3 0 1 B 7737-5B  
E 7341-5B

⑭ 公開 平成2年(1990)2月23日

審査請求 有 請求項の数 6 (全7頁)

⑮ 発明の名称 半導体メモリセル及び半導体メモリ装置

⑯ 特 願 昭63-204802

⑰ 出 願 昭63(1988)8月19日

⑱ 発 明 者 成 毛 康 雄 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内  
⑱ 発 明 者 望 月 徹 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内  
⑱ 発 明 者 岩 瀬 平 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内  
⑱ 発 明 者 浅 野 正 通 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内  
⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地  
⑳ 代 理 人 弁 理 士 三 好 保 男 外1名

明 細 書

1. 発明の名称

半導体メモリセル及び半導体メモリ装置

2. 特許請求の範囲

(1) データが読出されるデータ線と低位電圧源との間に直列に接続された読出し用電界効果トランジスタと溶断用電界効果トランジスタと、

前記両トランジスタの直列接続点と書き込みデータ線との間に挿入されて書き込み時に溶断される電流溶断ヒューズと

を有することを特徴とする半導体メモリセル。

(2) 前記溶断用トランジスタは、データの書き込み時に所定の電位が制御電極に印加されるとともに前記所定の電位よりも高い電位が前記書き込みデータ線に印加されてブレイクダウン状態となり、これにより得られる電流によって前記電流溶断ヒューズを溶断することを特徴とする請求項1記載の半導体メモリセル。

(3) 前記読出しデータ線は、多結晶シリコン、低融点、高融点金属シリサイド、前記書き込みデータ

線を形成する配線層とは異なる層の金属のいずれかあるいはこれらのうちの2つ以上を接続したものと形成したことを特徴とする請求項1記載の半導体メモリセル。

(4) 前記半導体メモリセルを正規のメモリセルに対して置換えられる予備のメモリセルとして冗長構成としたことを特徴とする半導体メモリ装置。

(5) 正規のメモリセル群と、

前記半導体メモリセルにより構成されて前記正規のメモリセル群の所定のメモリセルに置換えられる予備のメモリセル群と、

前記正規のメモリセル群からデータを読出そうとするメモリセルを選択する第1の選択手段と、

前記予備のメモリセル群からデータを読出そうとするメモリセルを選択する第2の選択手段と、

前記第1の選択手段によって選択された正規のメモリセルから読出されたデータと、前記第2の選択手段によって選択された予備のメモリセルから読出されたデータとを選択的に切換えて出力する切換手段と、

前記予備のメモリセル群にデータを蓄込むとともに、前記第2の選択手段が前記正規のメモリセル群を選択するアドレスにより前記正規のメモリセルに置換えられた予備のメモリセルを選択するように機能させる蓄込み手段と

を有することを特徴とする半導体メモリ装置。

(b) 前記第2の選択手段は、前記半導体メモリセルを複数並列に接続した構成を含むことを特徴とする請求項5に記載の半導体メモリ装置。

### 3. 発明の詳細な説明

#### 〔発明の目的〕

##### （産業上の利用分野）

この発明は、読出し専用の半導体メモリセル及びこのメモリセルを含む半導体メモリ装置に関し、特に不良チップを救済するための予備のメモリセルに使用される。

##### （従来の技術）

近年の半導体技術の飛躍的な発展により、半導体集積回路の高集積化、高機能化が急速に進んでいる。特に、半導体メモリ装置では、めざまし

い勢いで高集積化が行なわれている。

このような高集積化にともなってチップ面積が増大すると、製造歩留りが低下して生産性が悪化することがある。このような不具合に対して、例えばメモリにあっては、冗長構成が有効となる。この冗長構成は、予備のメモリセルを予め同一チップ上に形成しておき、この予備のセルと不良セルを切換えて、メモリセルの不良を救済しようとするものである。

このような冗長構成は、DRAM（ダイナミック型のRAM）、SRAM（スタティック型のRAM）、PROM（プログラマブルROM）等のメモリ装置に従来から採用されていた。しかしながら、マスクROMにあっては、冗長構成は以下に示す理由により行なわれていなかった。

マスクROMは、データの蓄込み処理がウェハの製造段階で行なわれる。このため、製造工程が終了して、データの読出し等の電気的特性を検査する時点では、すでに蓄込まれたデータの置換えは不可能となる。したがって、不良となった正規

のセルに蓄込まれていたデータと同一のデータを予備のセルに蓄込んで、これらのセルを電気的に切換えることはできないことになる。

そこで、マスクROMにあっては、不良セルの救済を行なうためには、製造工程が終了した状態でデータが蓄込みが可能で、かつ電源の供給がなくてもデータを保持できるセルが必要となる。従来、このようなセルとしては、PROMで用いられているフローティングゲートを備えたトランジスタあるいはヒューズを用いたものがあげられる。

フローティングゲートを備えたトランジスタをセルとした場合は、このようなトランジスタを製造するプロセスがマスクROMで用いられているMOS型のトランジスタを製造するプロセスに比べてかなり複雑となる。このため、製造コストが著しく高くなるという不具合が生じる。

一方、ヒューズを用いたセルでは、ヒューズを切断してプログラムする方法により、3つのタイプのセルがあげられる。

第1のタイプとしては、ヒューズをレーザにより切断するものである。このタイプでは、切断箇所を正確に位置合せする機能をもつ専用の切断装置が必要となる。また、切断箇所の位置合せに時間がかかる。さらに、ヒューズ切断の前後において、電気的特性を検査しなければならず、検査のための時間が必要となる。これらにより、不良セルと予備セルとの切換えに工数がかかり、生産効率が低下することになる。

第2のタイプとしては、電流遮断ヒューズをバイポーラトランジスタの電流により遮断するものである。このタイプでは、バイポーラトランジスタを用いるため、バイポーラ用の製造プロセスが必要となる。このため、マスクROMを製造するMOSプロセスにバイポーラプロセスが追加される。したがって、製造プロセスが複雑になるとともに工程数が多くなり、製造コストが上昇してしまう。

そこで、第3のタイプとしては、MOS型のトランジスタとヒューズを直列接続し、このMOS

型トランジスタのオン電流によりヒューズを熔断しようとするものである。これは、異なるプロセスを追加する必要もなく、また専用の設備も必要としない。しかしながら、ヒューズを熔断させる電流は通常数10 $\mu$ Aを必要とするため、非常に大きなチャンネル幅のMOSトランジスタを用いなければならない。このため、専有面積が増大して、チップ面積を増大させることなく多くの予備のセルを形成することは困難となる。

(発明が解決しようとする課題)

マスクROMを冗長構成とする場合には、予備のセルとして上述した種々の構成が考えられる。しかしながら、上述した構成にあっては、異なるプロセスを必要としてプロセスが複雑化する、専有面積が増大する、生産性が悪くなるといった問題が生じていた。このため、マスクROMにあっては、現在冗長構成により不良チップの救済は行われていなかった。

そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、生産性に便

れ、専有面積の増大を招くことなく、不良チップの救済を容易に行なうことができる半導体メモリセル及び半導体メモリ装置を提供することにある。

[発明の構成]

(課題を解決するための手段)

上記目的を達成するために、この発明は、データが読出されるデータ線と低位電圧線との間に直列に接続された読出し用電界効果トランジスタと熔断用電界効果トランジスタと、前記両トランジスタの直列接続点と書込みデータ線との間に挿入されて書込み時に熔断される電流熔断ヒューズとから構成される。

(作用)

上記構成において、この発明は、熔断用トランジスタの制御電極に駆動電圧を印加するとともに、書込みデータ線に電圧電圧よりも高い電圧を印加することにより、熔断用トランジスタをセカンダリーブレイクダウン状態とし、このような状態にあって熔断用トランジスタを流れる電流によりヒューズを熔断して、データの書込み動作を行

なうようにしている。

(実施例)

以下、図面を用いてこの発明の実施例を説明する。

第1図はこの発明の一実施例に係る半導体メモリセルの構成を示す回路図である。

第1図において、メモリセル1は、読出し専用のNチャンネルMOS型トランジスタ(以下「NMOS」と呼ぶ)3と、ヒューズ熔断専用のNMOS5と、電流熔断ヒューズ7とから構成されている。なお、このようなメモリセル1は、チップ上でマトリックス状に配置形成されている。

NMOS3は、例えばチャンネル幅が2 $\mu$ m、チャンネル長が2 $\mu$ m、ゲート電極膜厚が4000Å、ゲート酸化膜厚が200Åで形成されており、ゲート端子が読出しワード線9に接続されている。NMOS3は、データの読出し時に導通状態となり、データの読出しを行なうトランジスタである。

NMOS5は、例えばチャンネル幅が7 $\mu$ m、チャンネル長が1.0 $\mu$ m、ゲート電極膜厚が400

0Å、ゲート酸化膜厚が200Åで形成されており、ゲート端子が書込みワード線11に接続されている。NMOS5は、データの書込み時に導通状態となり、データの書込み時に動作するトランジスタである。

NMOS5は、そのドレイン電圧( $V_D$ )とドレイン電流( $I_D$ )との関係が、第2図に示すような特性を示すトランジスタである。第2図において、NMOS5は、ゲート電圧( $V_G$ )が電圧電圧(5V程度)に印加された状態で、7V程度のドレイン電圧でセカンダリーブレイクダウンが生じる。このような状態にあっては、NMOS5は、80 $\mu$ A程度の大電流を流すことが可能となる。また、NMOS5は、第2図において、ゲート端子が接地電位のドレイン電圧が15V程度になっている。

このようなNMOS3とNMOS5は、読出しデータ線13とグラウンドに接続された配線15との間に直列に接続されている。この両トランジスタの直列接続点には、一端が書込みデータ線17

に接続されたヒューズ7の他端が接続されている。

ヒューズ7は、上記のトランジスタのゲート電極と同一の厚さの4000Åの多結晶シリコンで形成されている。ヒューズ7は、そのくびれた部分の幅が0.8μm、長さが2μmで、両トランジスタの直列接続点及び書込みデータ線17とのコンタクト部が2μm×2μmで形成されている。したがって、メモリセル1は、そのサイズが140μm<sup>2</sup>(20μm×7μm)程度となり、その専有面積がかなり小型なものとなる。

ヒューズの一端が接続されている書込みデータ線17は、その一方端にパッド19が接続されている。このパッド19は、ヒューズ7を熔断する際に、外部から熔断用の電力が供給される。すなわち、パッド19に印加される電圧(以下、「熔断電圧」と呼ぶ)は、NMOS5がセカンダリーブレイクダウン状態となるように、NMOS5のゲート電圧が接地電位の時のドレイン耐圧よりも低く、ゲート電圧が電源電圧の時のセカンダリーブレイクダウン電圧よりも高い値となる。

ル状態となり、NMOS21が非導通状態となる。さらに、熔断されるヒューズ7が接続された書込みデータ線17のパッド19に、熔断電圧が印加される。次に、熔断されるヒューズ7を含むメモリセル1に接続されている書込みワード線11に電源電圧(5V程度)が印加される。

これにより、熔断されるヒューズを含むメモリセル1のNMOS5は、セカンダリーブレイクダウン状態となり、パッド19→書込みデータ線17→ヒューズ7→NMOS5→グランドの経路で大電流が流れる。したがって、ヒューズ7は熔断されて、選択されたメモリセル1のNMOS3とNMOS5の直列接続点と書込みデータ線17は非接続状態となり、書込み動作が行なわれる。

次に、読出し動作について説明する。

まず、プログラム信号をハイレベル状態として、NMOS21を導通状態とする。さらに、データを読出そうとするメモリセル1に接続されている読出しワード線9をハイレベル状態として、NMOS3を導通状態とする。このようにして選択さ

また、書込みデータ線17は、グランドとの間にプログラム信号(PGM)により導通制御されるNMOS21が接続されている。このNMOS21はデータの書込み時にはプログラム信号をロウレベル状態として非導通状態となる。一方、データの読出し時にはプログラム信号をハイレベル状態として導通状態となり、書込みデータ線17を接地電位とする。

書込みデータ線17及びこのデータ線と平行して配置されている配線15は、金属で形成されている。一方、読出しデータ線13は、多結晶シリコン、N型あるいはP型の拡散層、高融点金属シリサイド、書込みデータ線17や配線15とは異なる層として2層構造にした金属、あるいはこれらを複合したものとして形成されている。

次に、このように構成されたメモリセル1におけるデータの書込み動作及び読出し動作について説明する。

まず、データの書込み動作すなわちヒューズ7を熔断する場合には、プログラム信号がロウレベ

ルメモリセル1のヒューズが熔断されていない場合には、導通状態のNMOS3に接続されている読出しデータ線13はロウレベル状態となる。これにより、選択されたメモリセル1からロウレベルのデータが読出される。

一方、選択されたメモリセル1のヒューズが熔断されている場合には、読出しデータ線13は、読出し動作が行なわれる前のハイレベル状態に保持されたままとなる。これにより、選択されたメモリセル1からハイレベルのデータが読出されることになる。

このように、第1図に示したメモリセル1においては、ヒューズ7を熔断するトランジスタをMOS型として、ヒューズ7の熔断時にこのトランジスタをセカンダリーブレイクダウン状態にするようにしたので、短いチャネル幅で大電流を得ることが可能となる。これにより、ヒューズ熔断用トランジスタを小型化して、少ない専有面積でメモリセル1を構成できる。

また、ヒューズ7を大電流により熔断できるた

め、溶断時間が短くなり、例えば2Kビット程度のメモリセルに0.1秒程度で書き込みを行なうことが可能となる。

さらに、このような書き込み動作は、ウェハ段階でのプロセスが終了して、メモリセルの電気的特性検査が行なわれる時に、書き込みを行なうための専用の設備を用いることなく、同時に行なうことができる。

したがって、このようなメモリセル1は、マスクROMにおける冗長構成において、予備のセルとして極めて好適なメモリセルとなる。この結果、このようなメモリセルを予備セルとして用いることにより、マスクROMの不良チップ救済を実用化することができるようになる。

次に、上記したメモリセル1を冗長構成における予備のセルとして用いたマスクROMを第3図及び第4図を参照して説明する。

第3図は上述したマスクROMの構成を示す図、第4図は書き込み時のタイミングチャートである。

第3図に示すマスクROMは、正規のセル群3

1の不良セルを列単位で予備のセル群33に置換えて、不良救済を行なうようにしたものである。なお、第3図において、第1図と同符号のものは同一機能を有するものであり、その説明は省略する。

第3図において、正規のセル群31はそのメモリセルがロウ(行)アドレスをデコードするロウデコーダ35と、カラム(列)アドレスをデコードするカラムデコーダ37の出力により制御されるカラムセクタ39とで選択される。選択されたメモリセルから読出されたデータは、カラムセクタ39を介して切換回路41に与えられる。

一方、正規のセル群31の中で、不良となったメモリセルと列単位で置換えられる予備のセル群33は、第1図に示したように構成されている。このような予備のセル群33では、データを読出そうとするメモリセルがスペアロウデコーダ43と、カラムデコーダ37の出力により制御されるスペアカラムセクタ45とで選択される。

予備のメモリセル群33は、書き込みを行なう

とするメモリセルが、ロウレベル状態の書き込み信号(W<sub>E</sub>)により書き込み用のカラムアドレスを取り込んでデコードする書き込み用のカラムデコーダ47によって選択され、前述したようにヒューズ7が溶断される。この時の動作タイミングは第4図に示すようになる。

スペアロウデコーダ43は、予備のメモリセル1と同様の構成をNOR(ノア)型に接続して構成されている。スペアロウデコーダ43は、不良になった正規のメモリセルに置換えられた予備のメモリセルが、置換えられた正規のメモリセルを選択するロウアドレスと同一のロウアドレスによって選択されるように、カラムデコーダ47によりヒューズ49が溶断される。スペアロウデコーダ43は、ヒューズ49の溶断時には、その入力となるロウアドレスがロウアドレスゲート回路51によってすべてロウレベル状態になる。このようなスペアロウデコーダ43とスペアカラムセクタ45とで選択された予備のメモリセルから読出されたデータは、切換回路41に与えられる。

切換回路41は、スペアロウデコーダ43の論理和出力にしたがって、正規のメモリセルから読出されたデータあるいは予備のメモリセルから読出されたデータを選択する。すなわち、与えられたロウアドレスにしたがってスペアロウデコーダ43が予備のメモリセルを選択した場合には、切換回路41は予備のメモリセルから読出されたデータを選択するように制御される。選択されたデータは、センスアンプ53に与えられて増幅され、出力バッファを介して出力される。

このような冗長構成のマスクROMにあっては、不良となった正規のメモリセルを容易に予備のメモリセル1と置換えることが可能となる。さらに、予備のメモリセル1と同様の構成を用いてスペアロウデコーダ43を構成して、スペアロウデコーダ43のヒューズ49を溶断することによりデコーダとして機能させるようにしたので、正規のメモリセルに置換えられた予備のメモリセルを、置換えられた正規のメモリセルを選択するロウアドレスで選択できるスペアロウデコーダ43を容易

に構成することができる。

なお、この発明のメモリセルは上記実施例以外にも、DRAM、SRAM等のスバロウデコードあるいはチップ形成後に情報を書き込む用途、例えばチップ形成後に入力ロジックを決定するロジック回路、リダンダンシーを実施したか否かを判定するリダンダンシィンジネチャ回路、PLD（プログラマブルロジックデバイス）としても応用できることは明らかである。

〔発明の効果〕

以上説明したように、この発明によれば、電界効果トランジスタがセカンダリーブレイクダウン状態になった時に電界効果トランジスタを流れる電流によりヒューズを熔断して、過込み動作を行なうようにしたので、生産性に優れ、専有面積の小さなメモリセルを提供することが可能となる。さらに、このようなメモリセルを予備のメモリセルとして冗長構成とした半導体メモリ装置にあっては、チップ面積を大型化することなく、簡単なプロセスにより製造が可能で、専用の設備を用い

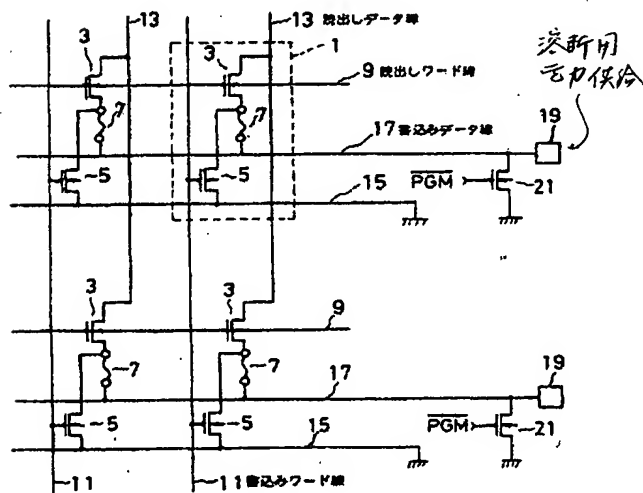
ることなく短時間で不良チップを救済することができるようになる。

#### 4. 図面の簡単な説明

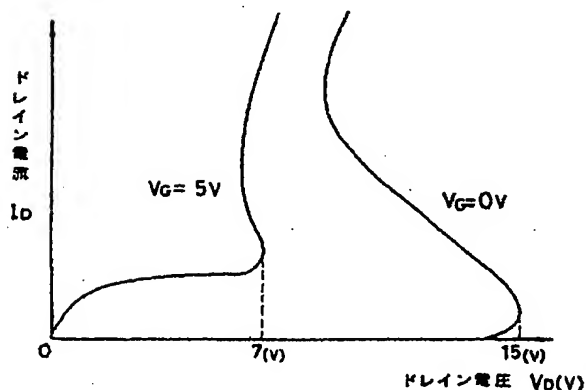
第1図はこの発明の一実施例に係る半導体メモリセルの構成を示す図、第2図は第1図に示すメモリセルに用いられているトランジスタの特性を示す図、第3図は第1図に示すメモリセルを用いた半導体メモリ装置の構成を示す図、第4図は第3図に示す装置の動作タイミングを示す図である。

1…メモリセル、3、5、21…NMOS、7  
…ヒューズ、9…読出しワード線、11…書込み  
ワード線、13…読出しデータ線、17…書込み  
データ線、19…パッド、31…正規のセル群、  
33…予備のセル群、35…ロウデコーダ、37  
…カラムデコーダ、39…カラムセクタ、41  
…切換回路、43…スペアロウデコーダ、45…  
スペアカラムデコーダ、47…書込み用カラムデ  
コーダ

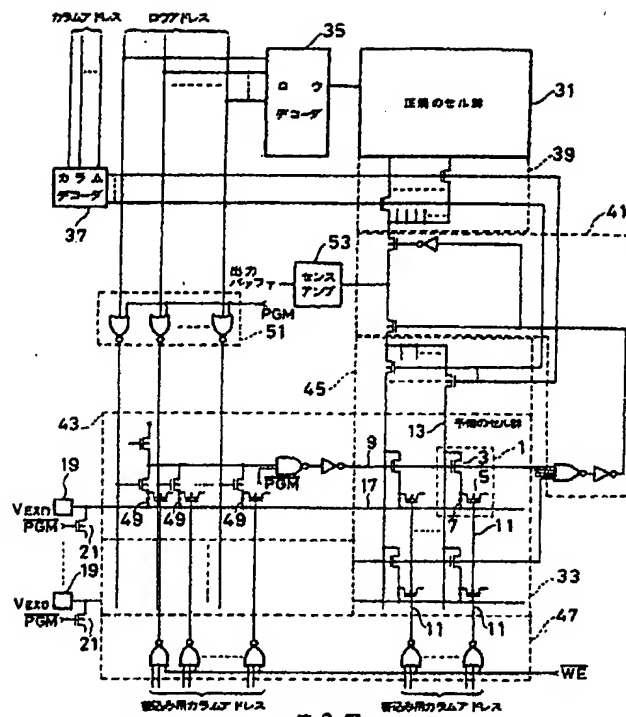
代理人奔恩士 三 奸 保 男



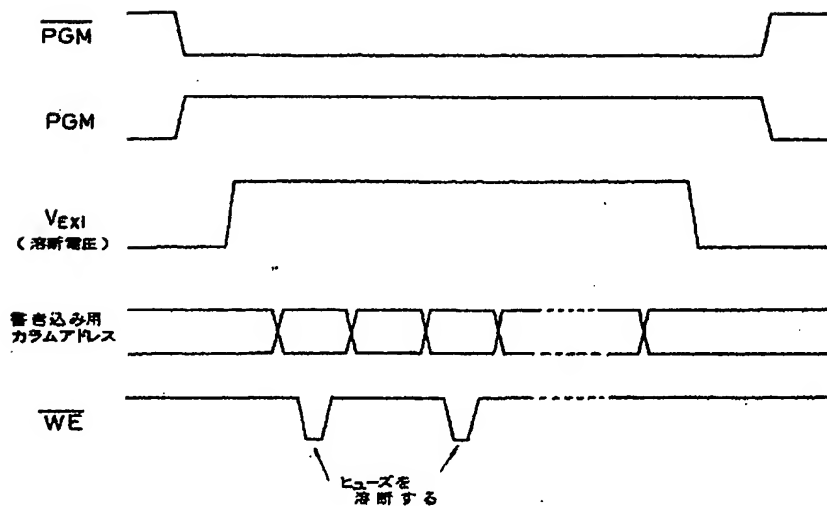
第 1 圖



第 2 区



第 3 図



第 4 図